

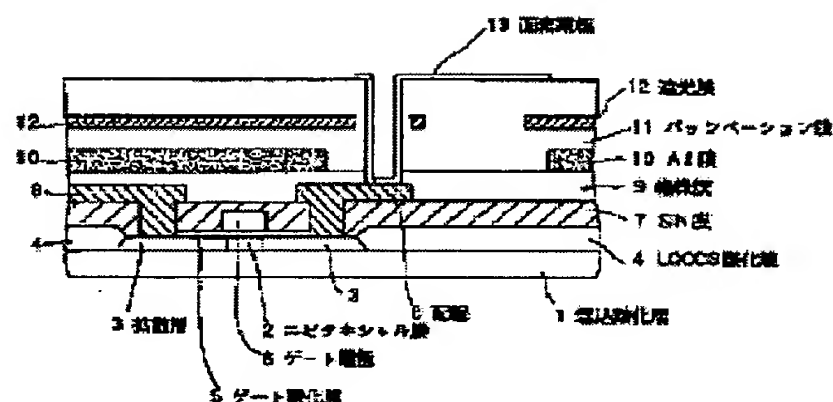
# LIQUID CRYSTAL DISPLAY ELEMENT

Patent number: JP8076145  
 Publication date: 1996-03-22  
 Inventor: HOSHI JUNICHI  
 Applicant: CANON KK  
 Classification:  
 - international: **G02F1/1333; G02F1/136; G02F1/1368; G02F1/13;**  
 (IPC1-7): G02F1/136; G02F1/1333  
 - european:  
 Application number: JP19940232546 19940902  
 Priority number(s): JP19940232546 19940902

Report a data error here

## Abstract of JP8076145

**PURPOSE:** To maintain a uniform cell gap, to prevent fracture in a thin film, and to improve the yield and reliability by forming a metal layer showing tensile stress in a thin film electrode substrate. **CONSTITUTION:** The tensile stress required for a thin film substrate is given by a metal layer (Al layer) 10 having high fracture strength. The tensile stress of the metal layer (Al layer) 10 is preferably  $\geq 10 \times 10^9$  dyne/cm<sup>2</sup> to obtain the gap accuracy, however it depends on the thickness of the thin film substrate. The tensile stress  $T$  is inversely proportional to film thickness  $t$  and is expressed by  $T = 2.7 \times 10^{10} / t$  (dyne &  $\mu$ m/cm<sup>2</sup>). Therefore, in the thin film substrate, by increasing the film thickness  $t$ , the tensile stress required can be decreased. Since the liquid crystal display element has a SiN film 7 and an Al film 10 showing tensile stress, the element has tensile inner stress and maintains a uniform cell gap without sagging.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-76145

(43) 公開日 平成8年(1996)3月22日

(51) Int. Cl. <sup>6</sup>	識別記号	F I
G02F 1/136	500	
1/1333	500	

審査請求 未請求 請求項の数 3 F D (全4頁)

(21) 出願番号 特願平6-232546

(22) 出願日 平成6年(1994)9月2日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 星 淳一

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

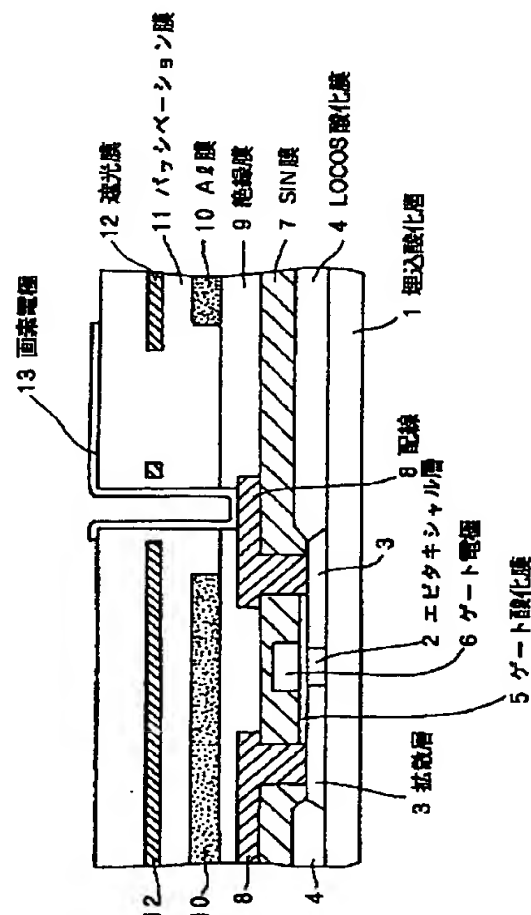
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【目的】 薄膜の液晶表示素子において、液晶セルギャップを均一に保ち、且つ歩留、信頼性を向上する。

【構成】 SOI基板にトランジスタの拡散層13、ゲート電極16、配線18等を作り込んだ後、絶縁膜9を堆積してAl等金属膜10を設け、更にパッシベーション膜11を介して遮光膜12を形成し、配線18にコンタクトをとる画素電極13、更には配向膜を設けてなる薄膜基板14と、対向電極を有する対向基板とを貼り合わせて液晶を挟持する。



## 【特許請求の範囲】

【請求項 1】 少なくとも一方の電極基板が薄膜である一対の電極基板間に液晶を挟持してなる液晶表示素子であって、上記薄膜電極基板中に、引張応力を示す金属層を設けたことを特徴とする液晶表示素子。

【請求項 2】 上記金属層の引張応力が  $10^9$  dyne/cm<sup>2</sup> 以上であることを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】 上記金属層と絶縁層との組合せを少なくとも 1 組以上有することを特徴とする請求項 1 又は 2 の液晶表示素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は画像や映像等を表示する液晶表示素子に関し、特に薄膜の基板を用いて形成した液晶表示素子に関する。

## 【0002】

【従来の技術】 従来、液晶を挟持する一方の基板を薄膜で形成した液晶セル構成は公知である。この構成では、セルギャップを均一化するために、かなり大きな張力で上記薄膜を引張る必要があるが、その実現は困難であった。以下に具体的に説明する。

【0003】 図 3 及び図 4 に従来の液晶パネルの薄膜基板の一例を示す。図 3 はその平面模式図であり、図 4 は図 3 中の A-A' 断面図である。

【0004】 図 3 及び図 4 中、1 は埋め込み酸化膜、2 は Si のエピタキシャル層、3 は拡散層、4 は LOCOS 酸化膜、5 はゲート酸化膜、6 はゲート電極、7 は SiN 膜、8 は配線、9 は絶縁膜、12 は遮光膜、13 は画素電極、14 は薄膜基板である。本構成は通常の IC プロセス（例えば Si ゲート LOCOS プロセス）で得られるものであり、薄膜基板 14 の厚みは  $3\mu\text{m}$  である。尚、簡略化するため、図 3 では遮光膜 12 を省略している。

$$T = 2.7 \times 10^{10} \cdot 1/t \quad (\text{dyne} \cdot \mu\text{m}/\text{cm}^2) \quad (I)$$

【0011】 従って、薄膜基板においては、膜厚を厚くすることによって必要とされる引張応力を小さくすることができる。本発明では、好ましくは上記金属層と絶縁層を交互に組合せることによって膜厚を稼ぎ、上記引張応力を各構成膜の破壊限界内に保つことによって高収率、高信頼性を確保することができる。

## 【0012】

## 【実施例】

【実施例 1】 図 1 に本発明の第 1 の実施例の液晶表示素子の断面図を示す。図中、10 は引張応力を発生させる厚さ  $1.5\mu\text{m}$  の Al 膜、11 はパッシベーション膜であり、その他前記図 3 と同じ部位には同じ符号を付した。Al 膜 10 は画素の開口部以外の領域に堆積されている。

【0013】 本実施例の液晶表示素子は、シリコン SO

【0005】 例えば、ビデオカメラに搭載されている EVF (Electrical View Finder) パネルは対角長が 0.55 インチ以下である。一辺が  $1.5\text{cm}$  程度の薄膜を、例えばギャップ精度  $0.1\mu\text{m}$  で保持するためには、膜厚  $3\mu\text{m}$  の薄膜を  $9 \times 10^9$  dyne/cm<sup>2</sup> 程度の応力で引っ張らなければならない。図 3、4 に示した液晶パネルでは、上記応力は主に層間絶縁膜として形成された SiN 膜 7 によって発生させている。

## 【0006】

【発明が解決しようとする課題】 SiN 膜 7 の破壊強度は大略  $6 \times 10^9$  dyne/cm<sup>2</sup> 程度である。従って要求される引張応力の方が該破壊強度よりも高いため当該 SiN 膜 7 にはマイクロクラックが多数発生し、液晶パネルの電気的特性を劣化させ、歩留、信頼性を低下させる原因となっている。また、SiN 膜の破壊を防止しようとする、必要な引張応力が得られず、セルギャップを均一に保つことができなくなる。

## 【0007】

【課題を解決するための手段及び作用】 本発明の液晶表示素子は、少なくとも一方の電極基板が薄膜である一対の電極基板間に液晶を挟持してなる液晶素子であって、上記薄膜電極基板中に、引張応力を示す金属層を設けたことを特徴とする。

【0008】 本発明では、上記薄膜基板に必要な引張応力を、従来の SiN の代わりに、破壊強度の高い金属層により付与するものである。本発明においては、薄膜基板の厚みにもよるが、該金属層の引張応力は、前記ギャップ精度を出すためには  $10^9$  dyne/cm<sup>2</sup> 以上が望ましい。

【0009】 また、該引張応力 T は膜厚 t に反比例し、下記 (I) 式のように表すことができる。

## 【0010】

1 (Semiconductor on Insulator) 基板を用いて図 1 の構成を形成し、更に不図示の配向膜を設けた後、ダイシングしてシリコンチップとし、対向基板である電極基板と貼り合わせて液晶セルを形成し、その間隙に液晶が注入される。該液晶セルを封口後、前記 SOI 基板の裏面シリコンをエッチング除去して完成する。本液晶表示素子は、引張応力を示す SiN 膜 7、Al 膜 10 が存在するため、引張性（テンシル性）の内部応力を示し、垂れることなく、均一なセルギャップを維持できる。

【0014】 本実施例によれば、Al 膜 10 は約  $450^\circ\text{C}$  で形成され、しかも熱膨張率が  $2.5 \times 10^{-5} \text{K}^{-1}$  と大きい、室温で  $10^{10}$  dyne/cm<sup>2</sup> 近い引張応力を示す。この大きな応力は公知のように各種アニールによって制御することができる。本実施例によれば、膜

厚自体はA1膜10が加わったことで1.5 $\mu$ m厚くなり、前記(I)式より薄膜基板を引っ張るために必要な内部応力も低くなり、SiN膜7の破壊強度以下の $6 \times 10^9$  dyne/cm<sup>2</sup>の応力で十分である。従ってSiN膜7のクラックも防止され、歩留、信頼性が向上する。

【0015】また、前記A1膜10をMOSFET等、光により誤動作する素子を覆う遮光膜として用いることも可能である。

【0016】また一般にSOI基板は単結晶基板等比べて熱伝導性が悪いが、本実施例においては、A1膜10により熱の流入・流出が容易となり、局所的な温度上昇により電気的特性に変化が生じることがない。

【0017】また、本実施例のように、A1膜10を上方に設けることによって、外部に引き出すワイヤボンディングパッドに用いることができる。

【0018】また更に、本発明のような薄膜液晶基板の特徴の一つとして、薄膜を通して外部から液晶層への気体の侵入が挙げられる。特に、H<sub>2</sub>、He等の軽いガスの侵入が著しく、H<sub>2</sub>O等の侵入もある。本発明においては、これらのガスの侵入もA1膜10により軽微に抑えることができ、液晶層内での気泡の発生、液晶の抵抗率の低下といった不良を防止することができる。

【0019】【実施例2】実施例1において、更に引張応力を稼ぐためにはA1膜の膜厚を厚くすることが考えられるが、公知のストレスマイグレーションの存在等により、該膜厚には上限がある。そこで本実施例においてはA1膜を多層にしたものである。多層A1膜には、応力の緩衝材となるような物質を添加するのが好ましい。

【0020】図2は本実施例の液晶表示素子の断面図であり、10、15が厚さ各1.0 $\mu$ mのA1膜、9、16が厚みを稼ぐための絶縁膜である。これら絶縁膜の発生する応力はA1膜10、15に比べると無視できる程小さい。

【0021】本実施例の多層A1膜は多層配線として用いることもできる。但し、微細な配線パターンでは引張

応力が極端に低下するため、パターンや配線幅には制約がある。

【0022】尚、本実施例及び実施例1では金属層の素材としてAlを用いたが、特にこれに限定されるものではなく、熱膨張率が大きく強度に富む金属であれば好ましく用いることができる。

【0023】

【発明の効果】以上説明したように、本発明では金属層を設けることにより、薄膜の液晶表示素子に必要な引張応力を発生させることができ、均一なセルギャップを保って、高画質な表示が実現する。また、絶縁層を組合せて膜厚を稼ぐことにより、必要な引張応力を低下せしめ、薄膜の破壊を防止し、歩留、信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明第1の実施例の断面図である。

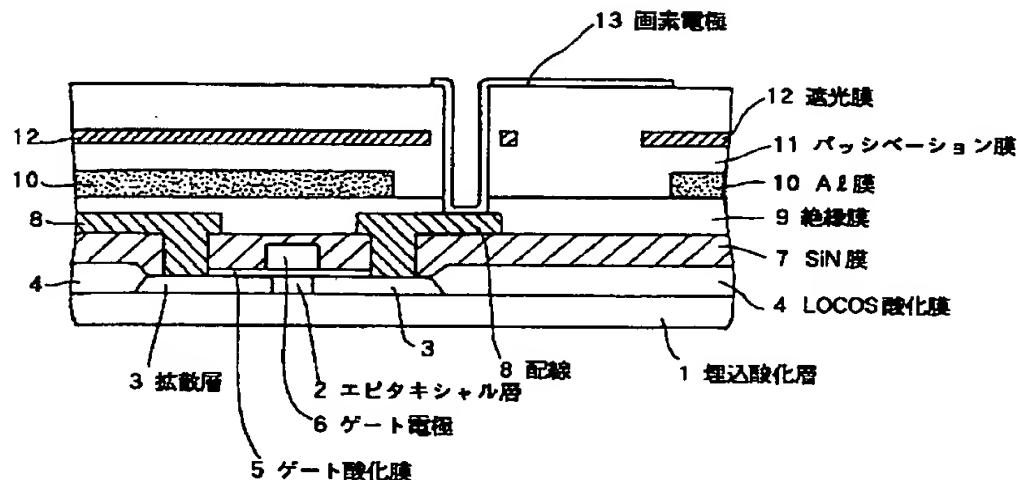
【図2】本発明第2の実施例の断面図である。

【図3】従来の液晶表示素子の断面図である。

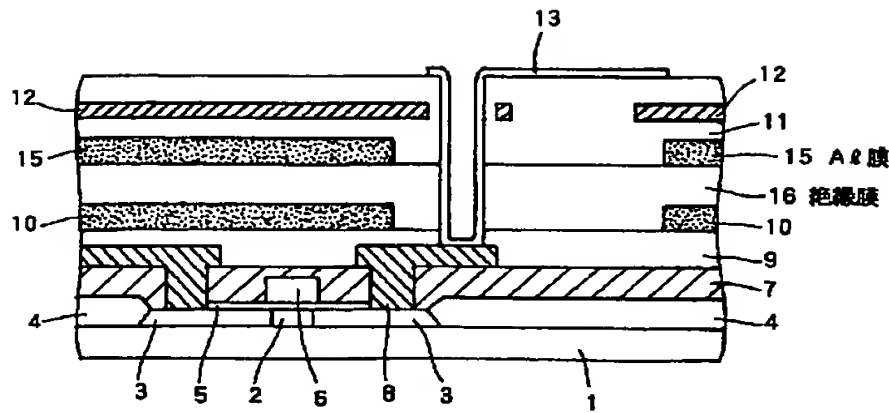
【符号の説明】

- |    |           |
|----|-----------|
| 1  | 埋込酸化膜     |
| 2  | エピタキシャル層  |
| 3  | 拡散層       |
| 4  | LOCOS酸化膜  |
| 5  | ゲート酸化膜    |
| 6  | ゲート電極     |
| 7  | SiN膜      |
| 8  | 配線        |
| 9  | 絶縁膜       |
| 10 | A1膜       |
| 11 | パッシベーション膜 |
| 12 | 遮光膜       |
| 13 | 画素電極      |
| 14 | 薄膜        |
| 15 | A1膜       |
| 16 | 絶縁膜       |

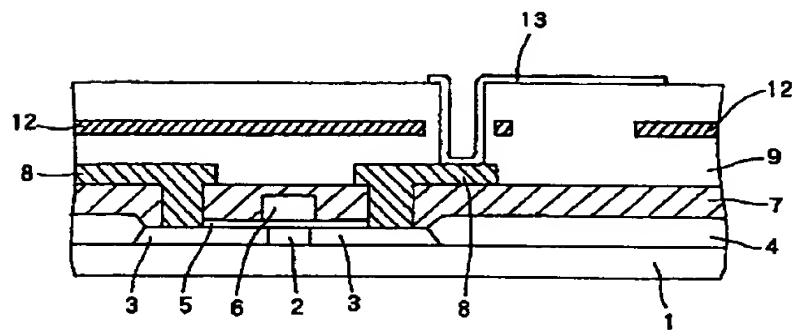
【図1】



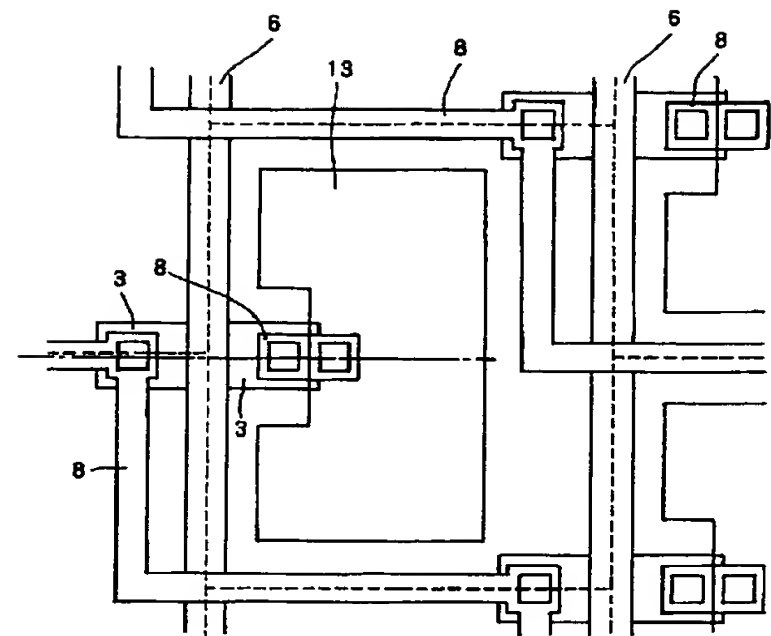
【図 2】



【図 4】



【図 3】



(点線で囲まれた部分が1単位セル)

## 【手続補正書】

【提出日】平成 6 年 1 2 月 1 2 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明第 1 の実施例の断面図である。

【図 2】本発明第 2 の実施例の断面図である。

【図 3】従来の液晶表示素子の平面模式図である。

【図 4】図 3 の液晶表示素子の部分断面図である。

【符号の説明】

- 1 埋込酸化膜
- 2 エピタキシャル層

- 3 拡散層
- 4 LOCOS酸化膜
- 5 ゲート酸化膜
- 6 ゲート電極
- 7 SiN膜
- 8 配線
- 9 絶縁膜
- 10 Al膜
- 11 パッシベーション膜
- 12 遮光膜
- 13 画素電極
- 14 薄膜
- 15 Al膜
- 16 絶縁膜